



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08043080 A**(43) Date of publication of application: **16.02.96**

(51) Int. Cl.

**G01C 3/06****G02B 7/32****G03B 13/36**(21) Application number: **07110727**(22) Date of filing: **09.05.95**(30) Priority: **24.05.94 JP 06109780**(71) Applicant: **SEIKOSHA CO LTD**(72) Inventor:  
**SEKI YOICHI**  
**KAWAI MICHIO**  
**SAITO HIROYUKI**  
**ITO AKIRA**(54) **RANGE-FINDING DEVICE FOR CAMERA**

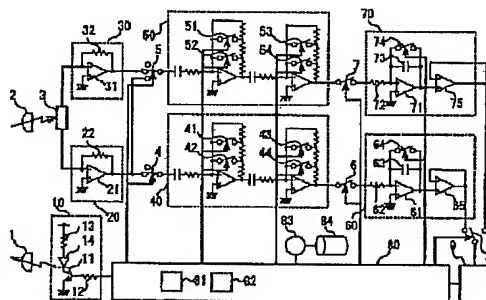
(57) Abstract:

PURPOSE: To absorb circuit unbalance by correcting an output voltage when finding a range when the output of different terminals of a light reception element has been processed with the output voltage at the compensation where the output of the same one terminal of the light reception element is processed.

CONSTITUTION: When a light signal is applied to a semiconductor position detection element (PSD) 3, the PSD 3 outputs a current corresponding to the intensity and the incidence position to first and second current/voltage conversion circuits 20 and 30. The circuits 20 and 30 are in completely the same configuration and output voltages proportional to an input current. Then, the output signals at the same one terminal of the light reception element are outputted to each of two processing systems for processing the output signal of the light reception element before finding a range and the result amplified and integrated by first and second amplification circuits 40 and 50 and first and second integration circuits 60 and 70 is stored in a RAM 81 as compensation information. Then, the output signals at different terminals of the light reception element are outputted to each of two processing systems

to find a range. Finally, the range-finding result is corrected based on the correction information and the distance to an object is obtained.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-43080

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 C 3/06

A

G 0 2 B 7/32

G 0 3 B 13/36

G 0 2 B 7/ 11

B

G 0 3 B 3/ 00

A

審査請求 未請求 請求項の数 2 O L (全 15 頁)

(21) 出願番号

特願平7-110727

(22) 出願日

平成7年(1995)5月9日

(31) 優先権主張番号

特願平6-109780

(32) 優先日

平6(1994)5月24日

(33) 優先権主張国

日本 (J P)

(71) 出願人 000002381

株式会社精工舎

東京都中央区京橋2丁目6番21号

(72) 発明者 関 陽一

千葉県四街道市鹿渡934-13番地 株式会

社精工舎千葉事業所内

(72) 発明者 川合 道雄

千葉県四街道市鹿渡934-13番地 株式会

社精工舎千葉事業所内

(72) 発明者 斉藤 浩幸

千葉県四街道市鹿渡934-13番地 株式会

社精工舎千葉事業所内

(74) 代理人 弁理士 松田 和子

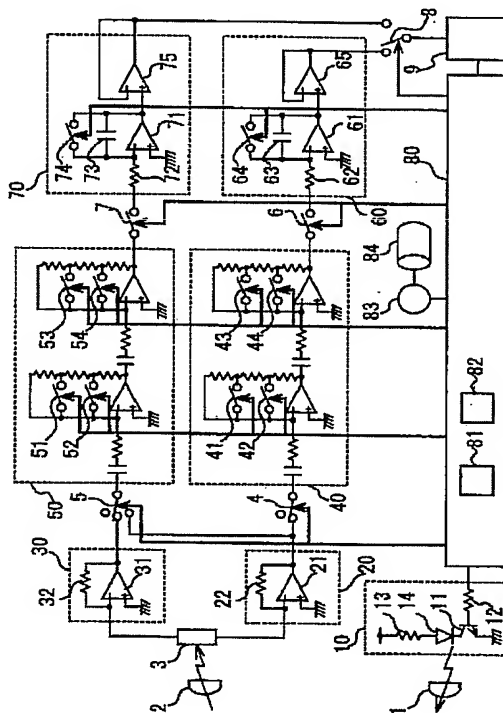
最終頁に続く

(54) 【発明の名称】 カメラ用測距装置

(57) 【要約】

【構成】 アクティブ式の測距回路において、同一の構成からなる第1および第2の信号処理系統と、受光素子と前記2つの信号処理系統とを接続する第1および第2の選択手段と、前記第1および第2の信号処理系統が受光素子の相異なる端に接続されている時の出力電圧を記憶する第1の記憶手段と、前記第1および第2の選択手段が受光素子の同一端に接続されている時の出力電圧を記憶する第2の記憶手段と、前記第1の記憶手段の出力を前記第2の記憶手段の出力で補正することにより前記被写体までの距離を演算する演算手段とを備えている。

【効果】 測距結果を2系統の回路のアンバランスを補正するための情報に基づいて補正し被写体までの距離を求めるので、受光素子の電流を処理する2系統の回路のアンバランスを取り除き、測距精度が向上する。



## 【特許請求の範囲】

【請求項 1】被写体へ光を照射する投光手段と、前記投光手段の照射光が前記被写体で反射する光を受光し 2 つの電流出力に変換する受光手段と、前記受光手段の一方の出力電流を電圧に変換する第 1 の電流電圧変換回路と、前記受光手段の他方の出力電流を電圧に変換する第 2 の電流電圧変換回路と、前記第 1 の電流電圧変換回路の出力を選択する第 1 の選択手段と、前記第 1 または第 2 の電流電圧変換回路の出力を選択する第 2 の選択手段と、前記第 1 の選択手段に接続され前記第 1 の選択手段が選択した信号を増幅する第 1 の増幅回路と、前記第 2 の選択手段に接続され前記第 2 の選択手段が選択した信号を増幅する第 2 の増幅回路と、前記第 1 の増幅回路の出力を積分する第 1 の積分回路と、前記第 2 の増幅回路の出力を積分する第 2 の積分回路と、前記第 1 の選択手段が前記第 1 の電流電圧変換回路を選択しかつ前記第 2 の選択手段が前記第 2 の電流電圧変換回路を選択している時に前記投光手段を動作させた場合の前記第 1 および第 2 の積分回路の出力電圧を記憶する第 1 の記憶手段と、前記第 1 および第 2 の選択手段が共に前記第 1 の電流電圧変換回路を選択している時に前記投光手段の動作させた場合の前記第 1 および第 2 の積分回路の出力電圧を記憶する第 2 の記憶手段と、前記第 1 の記憶手段の出力を前記第 2 の記憶手段の出力で補正することにより前記被写体までの距離を演算する演算手段を有することを特徴とするカメラ用測距装置。

【請求項 2】被写体へ光を照射する投光手段と、前記投光手段の照射光が前記被写体で反射する光を受光し 2 つの電流出力に変換する受光手段と、前記受光手段の一方の出力電流を電圧に変換する第 1 の電流電圧変換回路と、前記受光手段の他方の出力電流を電圧に変換する第 2 の電流電圧変換回路と、一定のパルス電圧を発生する基準電圧発生手段と、前記第 1 の電流電圧変換回路または前記基準電圧発生手段のいずれかの出力を選択する第 1 の選択手段と、前記第 2 の電流電圧変換回路または前記基準電圧発生手段のいずれかの出力を選択する第 2 の選択手段と、前記第 1 の選択手段に接続され前記第 1 の選択手段が選択した信号を増幅する第 1 の増幅回路と、前記第 2 の選択手段に接続され前記第 2 の選択手段が選択した信号を増幅する第 2 の増幅回路と、前記第 1 の増幅回路の出力を積分する第 1 の積分回路と、前記第 2 の増幅回路の出力を積分する第 2 の積分回路と、前記第 1 の選択手段が前記第 1 の電流電圧変換回路を選択しかつ前記第 2 の選択手段が前記第 2 の電流電圧変換回路を選択している時に前記投光手段を動作させた場合の前記第 1 および第 2 の積分回路の出力電圧を記憶する第 1 の記憶手段と、前記第 1 および第 2 の選択手段が共に前記基準電圧発生手段を選択している時に前記投光手段の動作させた場合の前記第 1 および第 2 の積分回路の出力電圧を記憶する第 2 の記憶手段と、前記第 1 の記憶手段の出

力を前記第 2 の記憶手段の出力で補正することにより前記被写体までの距離を演算する演算手段を有することを特徴とするカメラ用測距装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はカメラ等の測距装置に関するものである。

## 【0002】

【従来の技術】従来から投光素子と受光素子とを使ったいわゆるアクティブタイプのさまざまな測距装置が提案されているが、これらは図 1 4 のように投光素子を発光させ、それが被写体で反射した光を受光素子で受け、その受光素子の出力する 2 つの信号電流を同じ回路構成を持つ増幅回路で増幅し、続いて同じ回路構成を持つ積分回路で積分し、その積分電圧が所定の電圧を越えるまでの投光回数あるいは時間を計測することにより被写体までの距離を算出していた。

## 【0003】

【発明が解決しようとする課題】ところが図 1 4 のような測距装置では受光素子の出力信号の処理系統が複数あるため、同じ増幅回路や積分回路を構成しても個々の素子の特性の違いから回路的なアンバランスを生じ、これが続く測距結果に影響を与え、測距誤差を引き起こす原因となっていた。

【0004】本発明のカメラ用測距装置では、受光素子の出力信号の処理系統が複数あった場合に、それぞれの入力に同一の基準信号を入力して増幅および積分させ、その積分結果によって続く測距結果を補正することにより、回路的なアンバランスを吸収することを目的とする。

## 【0005】

【課題を解決するための手段】上記の課題を解決するために、本発明のカメラ用測距装置では、被写体へ光を照射する投光手段と、前記投光手段の照射光が前記被写体で反射する光を受光し 2 つの電流出力に変換する受光手段と、前記受光手段の一方の出力電流を電圧に変換する第 1 の電流電圧変換回路と、前記受光手段の他方の出力電流を電圧に変換する第 2 の電流電圧変換回路と、前記第 1 の電流電圧変換回路の出力を選択する第 1 の選択手段と、前記第 1 または第 2 の電流電圧変換回路の出力を選択する第 2 の選択手段と、前記第 1 の選択手段に接続され前記第 1 の選択手段が選択した信号を増幅する第 1 の増幅回路と、前記第 2 の選択手段に接続され前記第 2 の選択手段が選択した信号を増幅する第 2 の増幅回路と、前記第 1 の増幅回路の出力を積分する第 1 の積分回路と、前記第 2 の増幅回路の出力を積分する第 2 の積分回路と、前記第 1 の選択手段が前記第 1 の電流電圧変換回路を選択しかつ前記第 2 の選択手段が前記第 2 の電流電圧変換回路を選択している時に前記投光手段を動作させた場合の前記第 1 および第 2 の積分回路の出力電圧を

記憶する第1の記憶手段と、前記第1および第2の選択手段が共に前記第1の電流電圧変換回路を選択している時に前記投光手段の動作させた場合の前記第1および第2の積分回路の出力電圧を記憶する第2の記憶手段と、前記第1の記憶手段の出力を前記第2の記憶手段の出力で補正することにより前記被写体までの距離を演算する演算手段とを備えている。

【0006】また、本発明のカメラ用測距装置の第2の実施例では、被写体へ光を照射する投光手段と、前記投光手段の照射光が前記被写体で反射する光を受光し2つの電流出力に変換する受光手段と、前記受光手段の一方の出力電流を電圧に変換する第1の電流電圧変換回路と、前記受光手段の他方の出力電流を電圧に変換する第2の電流電圧変換回路と、一定のパルス電圧を発生する基準電圧発生手段と、前記第1の電流電圧変換回路または前記基準電圧発生手段のいずれかの出力を選択する第1の選択手段と、前記第2の電流電圧変換回路または前記基準電圧発生手段のいずれかの出力を選択する第2の選択手段と、前記第1の選択手段に接続され前記第1の選択手段が選択した信号を増幅する第1の増幅回路と、前記第2の選択手段に接続され前記第2の選択手段が選択した信号を増幅する第2の増幅回路と、前記第1の増幅回路の出力を積分する第1の積分回路と、前記第2の増幅回路の出力を積分する第2の積分回路と、前記第1の選択手段が前記第1の電流電圧変換回路を選択しかつ前記第2の選択手段が前記第2の電流電圧変換回路を選択している時に前記投光手段を動作させた場合の前記第1および第2の積分回路の出力電圧を記憶する第1の記憶手段と、前記第1および第2の選択手段が共に前記基準電圧発生手段を選択している時に前記投光手段の動作させた場合の前記第1および第2の積分回路の出力電圧を記憶する第2の記憶手段と、前記第1の記憶手段の出力を前記第2の記憶手段の出力で補正することにより前記被写体までの距離を演算する演算手段を備えている。

#### 【0007】

【作用】測距に先立ち、受光素子の出力信号を処理する2つの処理系統のそれぞれに受光素子の同一端の出力信号を出力し、それぞれの処理系統において増幅および積分した結果を補正情報として記憶する。続いて2つの処理系統のそれぞれに受光素子の相異なる端の出力信号を出力し測距を行う。最後にその測距結果を前記補正情報に基づいて補正し、被写体までの距離を求める。

#### 【0008】

【実施例】本発明の構成を図1に基づいて説明する。投光回路10は近赤外発光素子（以下IREDという）14を駆動するための駆動回路であり、トランジスタ11、ベース抵抗12、13およびIRED14からなる。演算回路80（以下CPUという）から投光信号が出力されると、IRED14は発光する。発光した光は投光レンズ1を通り、不図示の被写体によってその一部

を反射され、反射した光の一部は受光レンズ2を通してPSD3に入射する。実際にはIRED14はパルス駆動される。

【0009】第1の電流電圧変換回路20、第2の電流電圧変換回路30は半導体位置検出素子3（以下PSDという）と一体となって1つの受光回路を構成する。PSD3に光信号が入射すると、PSD3はその強度と入射位置に応じた電流を第1の電流電圧変換回路20、30に出力する。第1の電流電圧変換回路20はアンプ21と帰還抵抗22で構成された、入力電流に比例した電圧を出力する回路であり、第2の電流電圧変換回路30はアンプ31と帰還抵抗32とで構成され、第1の電流電圧変換回路20とまったく同じ構成で、信号電流に応じた電圧が出力される。スイッチ4は第1の電流電圧変換回路20側かオープン of のいずれかの状態を保持し、スイッチ4が第1の電流電圧変換回路20側にオンしているときには後段の第1の増幅回路40には第1の電流電圧変換回路20の信号が出力され、オープンになっているときには何も出力されない。またスイッチ5は第1の電流電圧変換回路20側、第2の電流電圧変換回路30側、オープンのいずれかの状態を保持し、スイッチ5が第1の電流電圧変換回路20側にオンしているときには後段の第2の増幅回路50には第1の電流電圧変換回路20の出力信号が出力され、第2の電流電圧変換回路30側にオンしているときには第2の電流電圧変換回路30の信号が出力され、オープンになっているときには何も出力されない。スイッチ4およびスイッチ5の状態はCPU80によって制御される。

【0010】第1の増幅回路40と第2の増幅回路50とはゲイン切換の可能な増幅回路である。これらの増幅回路は同様な構成なので、第1の増幅回路40を例にとって説明する。第1の増幅回路40の前にはコンデンサCf1が接続され、入力信号の直流分はここでカットされる。図1からもわかるように、第1の増幅回路40はさらに前段と後段の2つの増幅回路から構成される。前段の増幅回路は1つのアンプと3つの直列接続された帰還抵抗、さらにそれらをショートさせるためのスイッチ41、42とで構成された、入力信号を一定のゲインで増幅する回路である。スイッチ41は抵抗Rf3を、スイッチ42は抵抗Rf2と抵抗Rf3とをショートし、これによって前段の増幅回路のゲインを3段階に設定できる。つまり、スイッチ41と42とが両方ともオフしているときにゲインは最大となり、スイッチ41のみがオンするとゲインはその半分になり、スイッチ42がオンするとゲインさらにその半分となる。

【0011】前段の増幅回路の出力信号はコンデンサCf2をへて後段の増幅回路で再び増幅される。後段の増幅回路は前段の増幅回路と同様に1つのアンプと3つの直列接続された帰還抵抗、さらにそれらをショートさせるためのスイッチ43、44とで構成されており、スイ

5

ツチ 4 3、4 4 の状態により 3 段階にゲインを設定できる。すなわち、スイッチ 4 1、スイッチ 4 3、スイッチ 4 2、スイッチ 4 4 の順にスイッチをオンすることにより第 1 の増幅回路 4 0 全体のゲインは順次  $1/2$  倍となり、5 段階に設定できる。すなわち、スイッチ 4 1、スイッチ 4 3、スイッチ 4 2、スイッチ 4 4 の順にスイッチをオンすることにより第 2 の増幅回路 5 0 全体のゲインは順次  $1/2$  倍となる。後段の増幅回路の出力はスイッチ 6 を通じて第 1 の積分回路 6 0 へ出力される。

【0012】第 2 の増幅回路 5 0 も第 1 の増幅回路 4 0 と同様な構成で、前段と後段の 2 つの増幅回路から構成されており、スイッチ 5 1、スイッチ 5 3、スイッチ 5 2、スイッチ 5 4 の順にスイッチをオンすることにより第 2 の増幅回路 5 0 全体のゲインは順次  $1/2$  倍となり、5 段階に設定できる。第 2 の増幅回路 5 0 の出力はスイッチ 7 を通じて第 2 の積分回路 7 0 へ出力される。

【0013】第 1 の積分回路 6 0 と第 2 の積分回路 7 0 とは入力信号を積分するための回路である。これらの積分回路は同様な構成なので、第 1 の積分回路 6 0 を例にとって説明する。第 1 の積分回路 6 0 のまえにはスイッチ 6 が接続され、これがオンすると第 1 の増幅回路 4 0 の出力信号は第 1 の積分回路 6 0 に伝えられる。第 1 の積分回路 6 0 はアンプ 6 1、入力抵抗 6 2、積分コンデンサ 6 3、スイッチ 6 4、電圧ホロワ 6 5 で構成された、入力信号を積分するための回路である。スイッチ 6 4 がオンすると積分コンデンサ 6 3 の電荷は放電され、積分コンデンサ 6 3 の端子間積分電圧  $V_{fi}$  は 0 ボルトになる。スイッチ 6 4 がオフしスイッチ 6 がオンすると積分が始まり積分電圧  $V_{fi}$  は 0 ボルトから次第に上昇する。積分電圧  $V_{fi}$  は電圧ホロワ 6 5 を経て出力される。同様に第 2 の積分回路 7 0 は第 2 の増幅回路 5 0 の出力信号を積分し、積分コンデンサ 7 3 の端子間積分電圧  $V_{ni}$  は次第に上昇する。積分電圧  $V_{ni}$  は電圧ホロワ 7 5 を経て出力される。スイッチ 8 は電圧ホロワ 6 5 または電圧ホロワ 7 5 の出力のいずれかを選択して A/D コンバータ 9 に出力し、A/D コンバータ 9 はこれをデジタル値に変換して CPU 8 0 に出力する。CPU 8 0 は積分電圧  $V_{fi}$  および積分電圧  $V_{ni}$  を、読み書き可能な揮発性のメモリ 8 1 (ランダム・アクセス・メモリ、以下 RAM という) 内の適切なアドレスに割り付けられた電圧  $V_f$  および電圧  $V_n$  にそれぞれ出力する。

【0014】RAM 8 1 はこの他にも CPU 8 0 の演算およびカウント値やフラグなどの一時的な記憶に使用され、以下に説明する  $N_s$ 、 $N_e$ 、 $N$ 、 $N_f$ 、 $N_n$  といったカウント値や、 $F_f$ 、 $F_n$  といったフラグはすべてこの中の適切なアドレスに割り付けられている。さらに以下の計算に使用される  $V_{fd}$ 、 $V_{nd}$ 、 $V_{fo}$ 、 $V_{no}$ 、 $V_{th}$ 、 $V_{fi}$ 、 $V_{ni}$ 、 $R$ 、 $T_i$ 、 $T_5$  といった変数の一時的な記憶も行う。また、読み出し可能な不揮発性のメモリ 8 2 (リード・オンリ・メモリ、以下 RO

6

M という) は CPU 8 0 のプログラムおよびデータの半永久的な格納に使用される。

【0015】次に本発明の実施例の回路の動作について概略を説明する。この測距ルーチンに入ると、まず図 1 内のすべての回路の電源をオンする。次に RAM 8 1 の内容をクリアし、第 1 の増幅回路 4 0 と第 2 の増幅回路 5 0 の最適なゲインを決定する。このゲイン決定の動作中に、第 1 の増幅回路 4 0 と第 1 の積分回路 6 0 の特性を表す回数  $N_f$  と、第 2 の増幅回路 5 0 と第 2 の積分回路 7 0 の特性を表す回数  $N_n$  がそれぞれ定まる。また被写体の輝度が非常に大きいと判断された場合には RAM 8 1 中の至近フラグ  $F_n$  をセットし、その場合は測距を行わずに被写体は最至近にあるものとみなし値  $X$  を 1 とする。続いて第 1 の増幅回路 4 0 と第 2 の増幅回路 5 0 のオフセット電圧の測定および増幅比の算出を行い、2 つの増幅回路の回路的な差異を吸収するためのオフセット電圧  $V_{fd}$ 、オフセット電圧  $V_{nd}$ 、比  $R$  といった定数を導く。それから測距動作を行なって被写体までの距離を求め、続く露出動作に入る。

【0016】次に、第 1 の増幅回路 4 0 と第 2 の増幅回路 5 0 のゲイン決定の動作を図 2 を使って詳細に説明する。最初に CPU 8 0 はスイッチ 4 を第 1 の電圧電圧変換回路 2 0 側にオンする。それからスイッチ 6 4 とスイッチ 7 4 とをオンし、積分コンデンサ 6 3 と積分コンデンサ 7 3 とにたまっている電荷を放電させる (図 2 の a)。十分に電荷を放電した後、スイッチ 6 4 とスイッチ 7 4 とをオフし (図 2 の b)、クリア信号  $CR$  を発生して回数  $N$  を 0 にクリアする (図 2 の c)。そして CPU 8 0 は投光回路 1 0 を動作させ、投光信号  $EM$  を発生して IRED 1 4 を駆動し投光を開始する (図 2 の d)。投光開始に伴う各アンプの立ち上がり時間の確保と電源変動の影響とを軽減するため、投光後時間  $T_1$  を経過してからスイッチ 6 とスイッチ 7 とをオンし、時間  $T_2$  の間だけ積分させる (図 2 の e)。それが終わると投光を停止すると共にスイッチ 6 をオフして (図 2 の f)、時間  $T_3$  の間だけ待機し、カウントアップ信号  $CU$  を発生して回数  $N$  に 1 を加える (図 2 の g)。

【0017】以上の動作をあらかじめ決められた回数  $N_g$  (たとえば 10 回) だけ繰り返した後、CPU 8 0 はスイッチ 6 4 とスイッチ 7 4 をオフして積分コンデンサ 6 3 と積分コンデンサ 7 3 の端子間電圧すなわち積分電圧  $V_{fi}$  と積分電圧  $V_{ni}$  とをスイッチ 8 を制御して時系列的に A/D コンバータ 9 に出力し、A/D コンバータ 9 はこれらの電圧をデジタル値に変換して CPU 8 0 に出力する。CPU 8 0 は A/D コンバータ 9 の出力が電圧  $V_1$  より大きければスイッチ 4 1 とスイッチ 5 1 をオンし、もし電圧  $V_1$  以下であれば最適なゲインに達したものとみなす。この時点で積分電圧  $V_{fi}$  と積分電圧  $V_{ni}$  とを A/D コンバータ 9 を通じて順次読み込み、それぞれを電圧  $V_f$  および電圧  $V_n$  として RAM 8 1 の

適切なアドレスに格納する。以下同様に積分動作と比較演算とをくり返し、A/Dコンバータ9の出力が電圧V1より大きければ、スイッチ43と53、42と52、44と54の順でそれぞれオンする。もしもすべてのスイッチをオンしてもまだ電圧V1より大きければ至近フラグF<sub>n</sub>をセットする。これで増幅回路全体としてのゲインが定まったことになる。図3には4回目のゲイン決定動作で、つまりスイッチ41と51、43と53、42と52がそれぞれオンした状態で、最適なゲインが得られた場合を示した。

【0018】次に、単位投光時間当たりのオフセット電圧V<sub>f d</sub>とV<sub>n d</sub>の求め方を図4を使って詳細に説明する。最初にスイッチ64とスイッチ74とをオンし、積分コンデンサ63と積分コンデンサ73とにたまってい

$$V_{f d} = V_{f i} \cdot T_i / T_5$$

V<sub>n d</sub>も式(2)から同様にして求められる。

$$V_{n d} = V_{n i} \cdot T_i / T_5$$

次に比Rの求め方を図5を用いて詳細に説明する。既述のゲイン決定の動作によって第1の増幅回路40と第2の増幅回路50は回路的に等価になっているものの、それぞれの増幅回路を構成する各素子の特性の違いから生じる回路特性のわずかな差異を吸収するのが目的である。最初にCPU80はスイッチ4と5とをいずれも第1の電流電圧変換回路20側にオンする(図5のa)。次にスイッチ64とスイッチ74をオンし、積分コンデンサ63と積分コンデンサ73にたまっている電荷を放電させてからスイッチ64とスイッチ74をオフする(図5のb)。これで積分コンデンサ63および積分コンデンサ73の両端の電位差は0になる。そしてクリア信号CRを発生して回数Nを0にクリアする(図5のc)。そしてCPU80は投光回路10を動作させ、投

$$R = V_{n i} / V_{f i}$$

この比Rは前述のオフセット電圧V<sub>f d</sub>、V<sub>n d</sub>と同様に測距が終了した時点で被写体距離を求めるのに必要となる。

【0022】次に、測距動作を図6に基づいて詳細に説明する。最初にCPU80はスイッチ4を第2の電流電圧変換回路30側にオンする(図6のa)。次にスイッチ64とスイッチ74をオンし、積分コンデンサ63と積分コンデンサ73にたまっている電荷を放電させてからスイッチ64とスイッチ74をオフする(図6のb)。これで積分コンデンサ63および積分コンデンサ73の両端の電位差は0になる。そしてクリア信号CRを発生して回数Nを0にクリアする(図6のc)。そしてCPU80は投光回路10を動作させ、投光信号EMを発生してIRED14を駆動し投光を開始する(図6のd)。投光開始に伴う各アンプの立ち上り時間の確保と電源変動の影響とを軽減するため、投光後時間T1を経過してから積分回路を時間T2の間だけ動作させる(図6のe)。それが終わると投光・積分を停止して

＊電荷を放電させる。十分に電荷を放電した後、スイッチ64とスイッチ74とをオフし、スイッチ4とスイッチ5とをオープンにして第1の増幅回路40と第2の増幅回路50の入力を電氣的に孤立させる。続いて時間T4だけ待機してから投光回路10を駆動せずにスイッチ6とスイッチ7とをオンし、積分動作を開始して時間T5だけ待機する。この間積分コンデンサ63と積分コンデンサ73には回路のオフセット電圧に起因する電荷が貯えられる。その後投光・積分動作を終了して、次の式(1)にしたがって単位投光時間当たりのオフセット電圧V<sub>f d</sub>を求める。オフセット電圧V<sub>f d</sub>は正の場合も負の場合も考えられる。

【0019】

(1)

【0020】

(2)

＊光信号EMを発生してIRED14を駆動し投光を開始する(図5のd)。投光開始に伴う各アンプの立ち上り時間の確保と電源変動の影響とを軽減するため、投光後時間T1を経過してから積分回路を時間T2の間だけ動作させる(図5のe)。それが終わると投光・積分を停止して(図5のf)、時間T3の間だけ待機し、カウントアップ信号CUを発生して回数Nに1を加える(図5のg)。CPU80は回数Nが回数N<sub>r</sub>(たとえば100回)に達するまで以上の図6d～gの動作を繰り返しながら回数Nを加算していき、回数Nが回数N<sub>r</sub>に達した時点でスイッチ8とA/Dコンバータ9を制御して時系列的に積分電圧V<sub>f i</sub>とV<sub>n i</sub>を読み込み、式(3)のような比Rを求める。

【0021】

(3)

(図6のf)、時間T3の間だけ待機し、カウントアップ信号CUを発生して回数Nに1を加える(図6のg)。

【0023】ここで回数Nが回数N<sub>m</sub>(たとえば1000回)に満たずかつ積分電圧V<sub>f i</sub>と積分電圧V<sub>n i</sub>がいずれも電圧V2に達しない場合には、CPU80は以上の図6d～gの動作を繰り返しながら回数Nに1を加算していくが、積分電圧V<sub>f i</sub>と積分電圧V<sub>n i</sub>のいずれか一方が電圧V2に達したらその時点で投光動作を終了する(図6のh)。積分電圧V<sub>f i</sub>とV<sub>n i</sub>は、CPU80がスイッチ8とA/Dコンバータ9を制御して時系列的に読み込む。もし回数Nの少なくとも一方が回数N<sub>m</sub>に達してもなお積分電圧V<sub>f i</sub>と積分電圧V<sub>n i</sub>のいずれも電圧V2に達しない場合にはRAM81中の無限遠フラグF<sub>f</sub>をセットして終了する。それ以外の場合は測距終了の時点での回数N<sub>f</sub>からオフセット電圧の影響を除去するため、次のような演算を行う。

【0024】仮にオフセット電圧が正極性であった場合

の演算方法を図 7 に従って説明する。測距終了の時点で積分コンデンサの端子間電圧は積分電圧  $V_{fi}$  であるが、その中には電圧  $V_{fo}$  が含まれているため、オフセット電圧がまったくない場合に対して少ない投光回数  $N_{f'}$  で測距を終了しているはずである。もしオフセット \*

$$N_f = N \cdot V_2 \cdot V_2 / V_{fi} \cdot (V_2 - V_{fo}) \quad (4)$$

ここで電圧  $V_{fo}$  は単位投光時間当たりのオフセット電圧  $V_{fd}$  を使って式 (5) のように表される。 ※

$$V_{fo} = N \cdot V_{fd} \quad (5)$$

したがって前記の式 (4) と式 (5) とから電圧  $V_{fo}$  を消去すれば回数  $N_f$  が計算できる。 ★

$$N_f = V_2 \cdot V_2 / (V_{fi} \cdot V_2 / N - V_{fd}) \quad (6)$$

この回数  $N_f$  を RAM 81 に格納する。上の例ではオフセット電圧が正極性であった場合の演算方法を説明したが、負極性であった場合は電圧  $V_{fo}$  が負になるだけで、まったく同様に算出される。 ☆

$$N_n = N \cdot V_2 \cdot V_2 / V_{ni} \cdot (V_2 - V_{no}) \quad (7)$$

ここで電圧  $V_{no}$  は単位投光時間当たりのオフセット電圧  $V_{nd}$  を使って式 (5) のように表される。 ◆

$$V_{no} = N \cdot V_{nd} \quad (8)$$

したがって前記の式 (7) と式 (8) とから電圧  $V_{no}$  を消去すれば回数  $N_n$  が計算できる。 \*

$$N_n = V_2 \cdot V_2 / (V_{ni} \cdot V_2 / N - V_{nd}) \quad (9)$$

最後に回数  $N_f$ 、 $N_n$ 、比  $R$  を用いて、次のような式 (10) で与えられる値  $X$  を算出する。この演算によって第 1 の増幅回路 40 および第 1 の積分回路 60 の作る ※

$$X = N_f / (N_f + N_n \times R)$$

この時点で、無限遠フラグ  $F_f$  が立っていれば値  $X$  に強制的に 0.5 が、至近フラグ  $F_n$  が立っていれば値  $X$  に強制的に 1 が代入される。それ以外の場合は以上のような演算によって値  $X$  が求められる。そして図 8 に示すように、値  $X$  が求まるとそれによって一義的に定まる ROM 82 のアドレスを参照して、被写体までの距離を得る。最後にモータ 83 を制御しレンズ鏡筒 84 を合焦位置まで駆動した後、測距回路の電源をオフして、このルーチンを抜ける。

【0033】以上の例ではオフセット電圧が正極性であった場合の演算方法を説明したが、負極性であった場合は電圧  $V_{fo}$  が負になるだけで、まったく同様に算出される。

【0034】以上が本実施例における回路の動作である。後段アンプのゲイン決定から第 2 の電流電圧変換回路 30 による測距までの経過を図で表わすと図 9 のようになる。

【0035】以上の動作をフローチャートで表わすと図 10～図 12 のようになる。まず、メインルーチンを図 10 に基づいて説明する。この測距ルーチンに入ると、CPU 80 は測距回路全体の電源をオンし (#001)、各スイッチを設定する (#002)。次に RAM 81 の内容をクリアする (#003)。そして第 1 の増

\*電圧がまったくなければ、図 7 に示す回数  $N_f$  だけ投光しなければならないことになる。回数  $N_f$  は回数  $N$  と電圧  $V_2$  と  $V_{fo}$  と  $V_{ni}$  とを使って式 (4) のように表される。

【0025】

※【0026】

10 ★【0027】

☆【0028】以上は回数  $N_f$  の求め方であるが、回数  $N_n$  も同様に式 (7) から求められる。

【0029】

◆【0030】

\*【0031】

※回路と、第 2 の増幅回路 50 および第 2 の積分回路 70 の作る回路とが有するアンバランスが相殺される。

【0032】

(10)

幅回路 40 と第 2 の増幅回路 50 のゲインを決定し (#004)、至近フラグ  $F_n$  の状態を確認し (#005)、もし至近フラグ  $F_n$  がセットされていれば値  $X$  を 1 (最至近に相当する) に設定し (#006)、#012 にジャンプする。次に単位投光時間当たりのオフセット電圧  $V_{fd}$  と  $V_{nd}$  を求め (#007)、第 1 の増幅回路 40 と第 2 の増幅回路 50 の特性を補正する比  $R$  を求める (#008)。もし至近フラグ  $F_n$  がセットされていなければ測距を行なって値  $X$  を算出し (#009)、それから無限遠フラグ  $F_f$  の状態を確認し (#010)、セットされていれば値  $X$  を 0.5 (無限遠に相当する) に設定し (#011)、#012 にジャンプする。次に値  $X$  によって一義的に定まる ROM 82 のアドレスを参照して、被写体までの距離を求める (#012)。最後にモータ 83 を制御しレンズ鏡筒 84 を合焦位置まで駆動した後 (#013)、測距回路の電源をオフし (#014)、このルーチンを抜ける。

【0036】次に、各サブルーチン内での動作を説明する。まず、後段の増幅回路 (第 1 の増幅回路 40、第 2 の増幅回路 50) のゲイン決定のサブルーチンを図 11 に基づいて説明する。後段の増幅回路のゲイン決定のサブルーチンに入ると、CPU 80 はスイッチ 4 を第 1 の電流電圧変換回路 20 側にオン、他のスイッチはすべて



オフし（＃１０１）、回数 $N_s$ を０にクリアし（＃１０２）、スイッチ６４とスイッチ７４とをそれぞれオンし積分コンデンサ６３と積分コンデンサ７３とにたまっている電荷を放電させてからスイッチ６４とスイッチ７４とをオフし（＃１０３）、クリア信号 $CR$ を発生して回数 $N_e$ を０にクリアする（＃１０４）。

【００３７】続いて $CPU80$ は投光信号 $EM$ を発生して投光回路１０を動作して投光を始め（＃１０５）時間 $T1$ だけ待機する（＃１０６）と、スイッチ６とスイッチ７とをオンし積分動作をしながら（＃１０７）時間 $T2$ だけ待機する。この間積分コンデンサ６３と積分コンデンサ７３とには電荷が貯えられる（＃１０８）。それから投光回路１０の動作を止めて投光動作を終了し、スイッチ６とスイッチ７とをオフし積分動作を終えて（＃１０９）、カウントアップ信号 $CU$ を発生して回数 $N_e$ に１を加える（＃１１０）。回数 $N_e$ があらかじめ決められた回数 $N_g$ 未満ならば＃１０５にジャンプする（＃１１１）。回数 $N_g$ が回数 $N_g$ に達したら $CPU80$ はスイッチ６とスイッチ７とをオフし、 $A/D$ コンバータ９を通じて積分電圧 $V_{fi}$ と積分電圧 $V_{ni}$ を時系列的に読み込む。次に積分電圧 $V_{fi}$ と電圧 $V1$ を比較し（＃１１２）、電圧 $V1$ 以下であれば積分電圧 $V_{fi}$ と積分電圧 $V_{ni}$ とを読み込み $RAM81$ の適切なアドレスに記憶しメインルーチンに戻る。

【００３８】積分電圧 $V_{fi}$ と積分電圧 $V_{ni}$ がいずれも電圧 $V1$ より大きかった場合、回数 $N_s$ が０ならば（＃１１３）、スイッチ４１と５１を（＃１１４）、回数 $N_s$ が１ならば（＃１１５）、スイッチ４３と５３を、（＃１１６）、回数 $N_s$ が２ならば（＃１１７）、スイッチ４２と５２を（＃１１８）、回数 $N_s$ が３ならば（＃１１９）、スイッチ４４と５４を（＃１２０）、それぞれオンし、回数 $N_s$ に１を加えて（＃１２１）、＃１０２に戻る。もし回数 $N_s$ が０から３のいずれでもなければ至近フラグ $F_n$ をセットし（＃１２２）、このサブルーチンを抜け、メインルーチンに戻る。

【００３９】次に、測距および値 $X$ の算出のサブルーチンを図１２に基づいて説明する。値 $X$ の算出のサブルーチンに入ると、スイッチ５を第２の電流電圧変換回路３０側にオン、スイッチ６、スイッチ７、スイッチ６４、スイッチ７４をオフ、その他のスイッチはそのままとし（＃２０１）、クリア信号 $CR$ を発生して回数 $N$ を０にクリアし（＃２０２）、スイッチ６４とスイッチ７４をオンし積分コンデンサ６３と積分コンデンサ７３にたまっている電荷を放電させてからスイッチ６４とスイッチ７４をオフする（＃２０３）。ここで回数 $N$ を $N_m$ と比較し（＃２０４）、回数 $N_g$ が $N_m$ に達していたら無限遠フラグ $F_f$ をセットしてこのルーチンを抜ける（＃２０５）。続いて投光信号 $EM$ を発生して投光回路１０を動作して投光を始め（＃２０６）、時間 $T1$ だけ待機すると（＃２０７）、スイッチ６をオンし積分動作をしなが

ら（＃２０８）時間 $T2$ だけ待機する（＃２０９）。この間積分コンデンサ６３および積分コンデンサ７３には電荷が貯えられる。それから投光回路１０の動作を止めて投光動作を終了し、スイッチ６とスイッチ７とをオフし積分動作を終えて（＃２１０）、カウントアップ信号 $CU$ を発生して回数 $N$ に１を加える（＃２１１）。

【００４０】続いて積分電圧 $V_{fi}$ を $V2$ と比較し（＃２１２）、積分電圧 $V_{fi}$ が $V2$ よりも小さければ＃２０４にジャンプする。続いて積分電圧 $V_{ni}$ を $V2$ と比較し（＃２１３）、積分電圧 $V_{ni}$ が $V2$ よりも小さければ＃２０４にジャンプする。積分電圧 $V_{fi}$ と $V_{ni}$ のいずれかが電圧 $V2$ 以上であればメインルーチンに戻る。

【００４１】本発明の第２の実施例として、スイッチ４とスイッチ５とを図１３のように配置し、電圧発生手段 $VS$ を設ける。投光回路１０は近赤外発光素子（以下 $IRED$ という）１４を駆動するための駆動回路であり、トランジスタ１１、ベース抵抗１２、抵抗および $IRED$ １４からなる。演算回路８０（以下 $CPU$ という）から投光信号が出力されると、 $IRED$ １４は発光する。発光した光は投光レンズ１を通り、不図示の被写体によってその一部を反射され、反射した光の一部は受光レンズ２を通過して $PSD3$ に入射する。実際には $IRED$ １４はパルス駆動される。

【００４２】第１の電流電圧変換回路２０、第２の電流電圧変換回路３０は半導体位置検出素子３（以下 $PSD$ という）と一体となって１つの受光回路を構成する。 $PSD3$ に光信号が入射すると、 $PSD3$ はその強度と入射位置に応じた電流を電流電圧変換回路２０、３０に出力する。第１の電流電圧変換回路２０はアンプ２１と帰還抵抗２２で構成された、入力電流に比例した電圧を出力する回路であり、第２の電流電圧変換回路３０はアンプ３１と帰還抵抗３２とで構成され、第１の電流電圧変換回路２０とまったく同じ構成で、信号電流に応じた電圧が出力される。電圧発生手段 $VS$ は基準となる電圧 $V_s$ を出力するパルス電圧源である。スイッチ４は第１の電流電圧変換回路２０と電圧発生手段 $VS$ のいずれかを第１の増幅回路４０に出力し、スイッチ５は第１の電流電圧変換回路２０と電圧発生手段 $VS$ のいずれかを第２の増幅回路５０に出力する。スイッチ４およびスイッチ５の状態は $CPU80$ によって制御される。この場合、電圧 $V_f$ と電圧 $V_n$ の検出は第１の増幅回路４０と第２の増幅回路５０のゲイン決定動作とは独立して行う。

【００４３】以上、第１および第２の実施例においては、受光素子の出力電流の処理系統は２系統であるものとして説明したが、３系統以上の場合も同様にして各系統の回路的なアンバランスを取り除くことができる。また $ROM$ か、 $EEPROM$ （エレクトリック・イレーサブル・プログラマブル・リード・オンリ・メモリ）などのように読み書き可能な不揮発性のメモリをシステムに



13

持たせ、出荷時に各回路のオフセット電圧やゲインの補正値を書き込んでおけば、測距動作中にこれらの補正を行う必要がなくなり、より高速な動作を期待できる。

## 【0044】

【発明の効果】受光素子の相異なる端の出力を処理した測距時の出力電圧を、受光素子の同一端の出力を処理した補正時の出力電圧で補正するので、2つの系統の回路のアンバランスを取り除き、測距精度が向上する。

## 【図面の簡単な説明】

【図1】本発明の実施例を示す構成図である。

【図2】本発明の実施例の積分動作を説明する動作図である。

【図3】本発明の実施例のゲイン決定時の一連の動作を説明する動作図である。

【図4】本発明の実施例のオフセット電圧 $V_{fd}$ 、 $V_{nd}$ の算出時の動作を説明する動作図である。

【図5】本発明の実施例の比 $R$ の算出時の動作を説明する動作図である。

【図6】本発明の実施例の測距動作を説明する動作図である。

【図7】本発明の実施例のオフセット電圧 $V_{fd}$ 、 $V_{nd}$ の算出方法を説明する原理図である。

【図8】本発明の実施例の値 $X$ から距離を求めるROM 82上のテーブルである。

14.

【図9】本発明の実施例の測距時の一連の動作を説明する動作図である。

【図10】本発明の実施例の動作を示すフローチャートである。

【図11】図10のフローチャートの第1の増幅回路40および第2の増幅回路50のゲインの決定の部分のサブルーチンを示すフローチャートである。

【図12】図10のフローチャートの測距動作の部分のサブルーチンを示すフローチャートである。

【図13】本発明の第2実施例を示す構成図である。

【図14】従来の測距装置を示す構成図である。

## 【符号の説明】

14 IRED

3 PSD

20 第1の電流電圧変換回路

30 第2の電流電圧変換回路

4 スイッチ

5 スイッチ

40 第1の増幅回路

50 第2の増幅回路

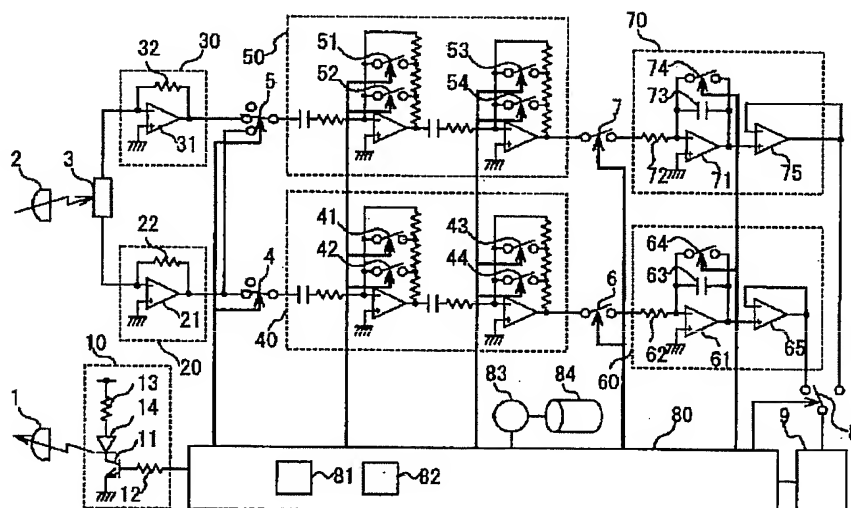
60 第1の積分回路

70 第2の積分回路

81 記憶手段(RAM)

80 演算回路(CPU)

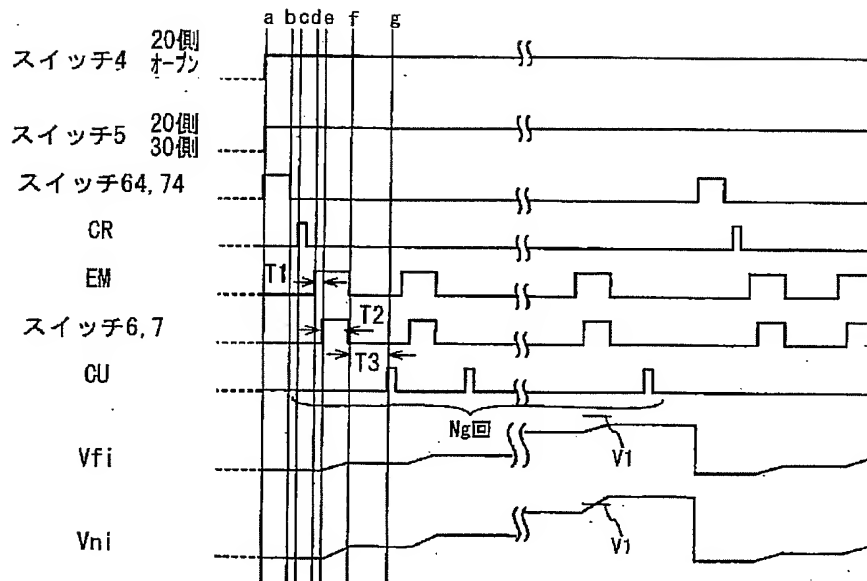
【図1】



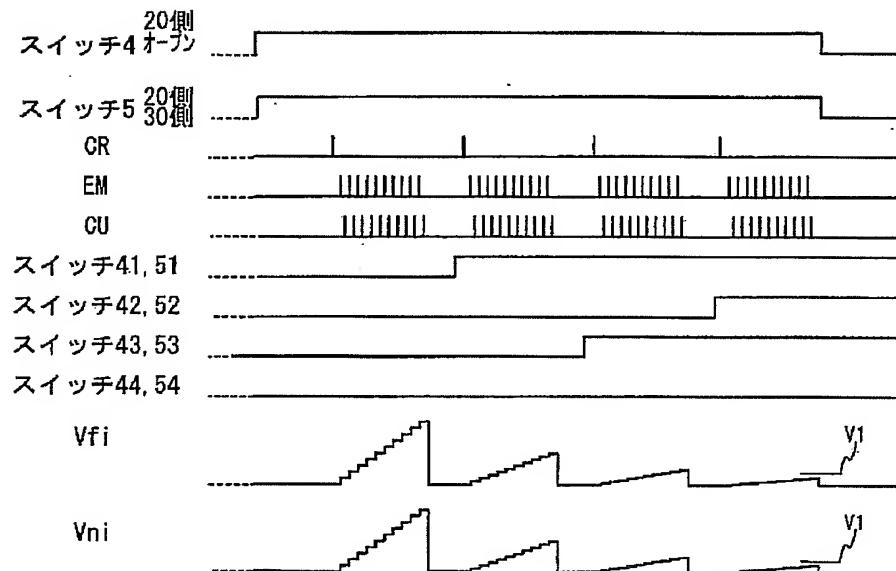
【図8】

X	D(m)
0.50	$\infty$
0.55	3.70
0.60	1.85
<hr/>	
1.00	0.37

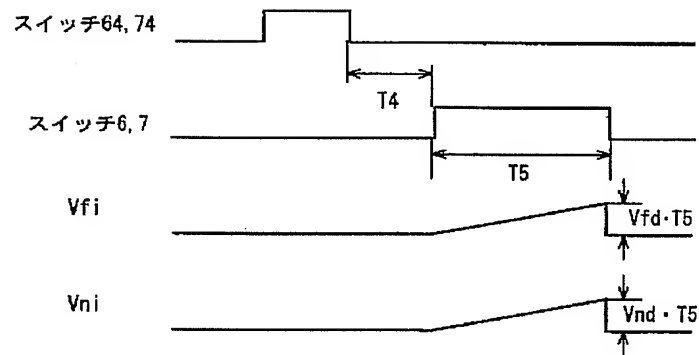
【図 2】



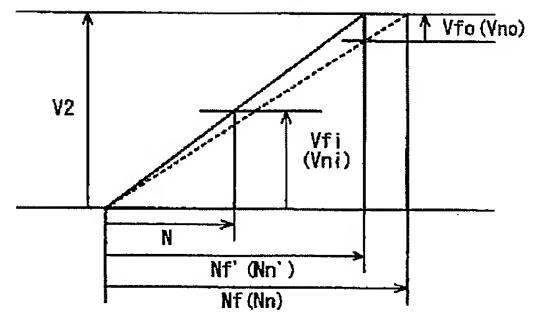
【図 3】



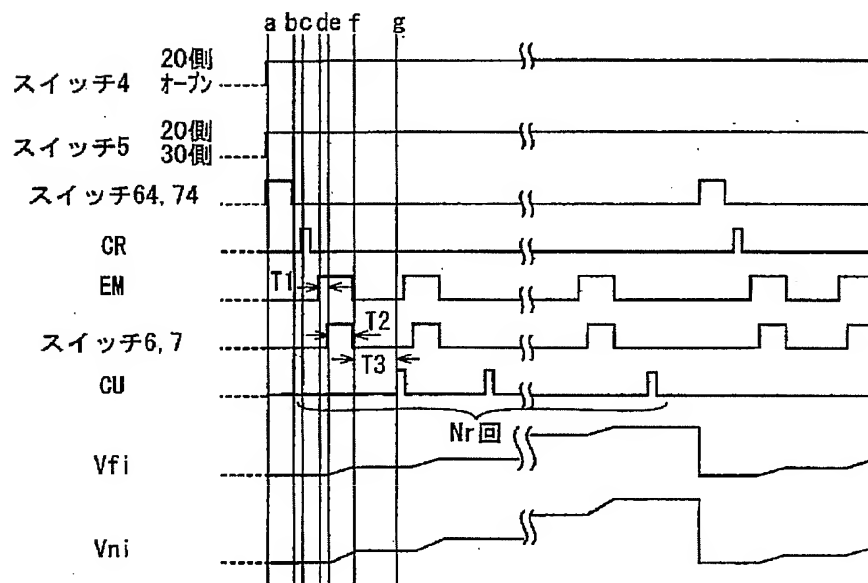
【図4】



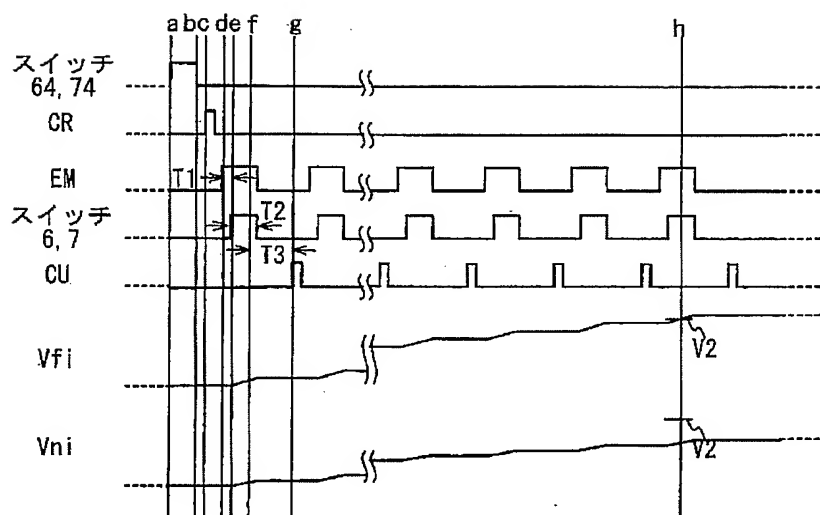
【図7】



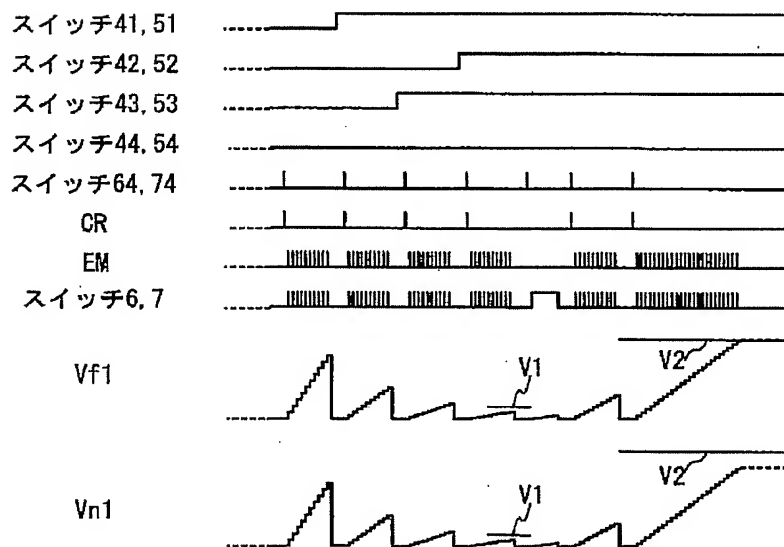
【図5】



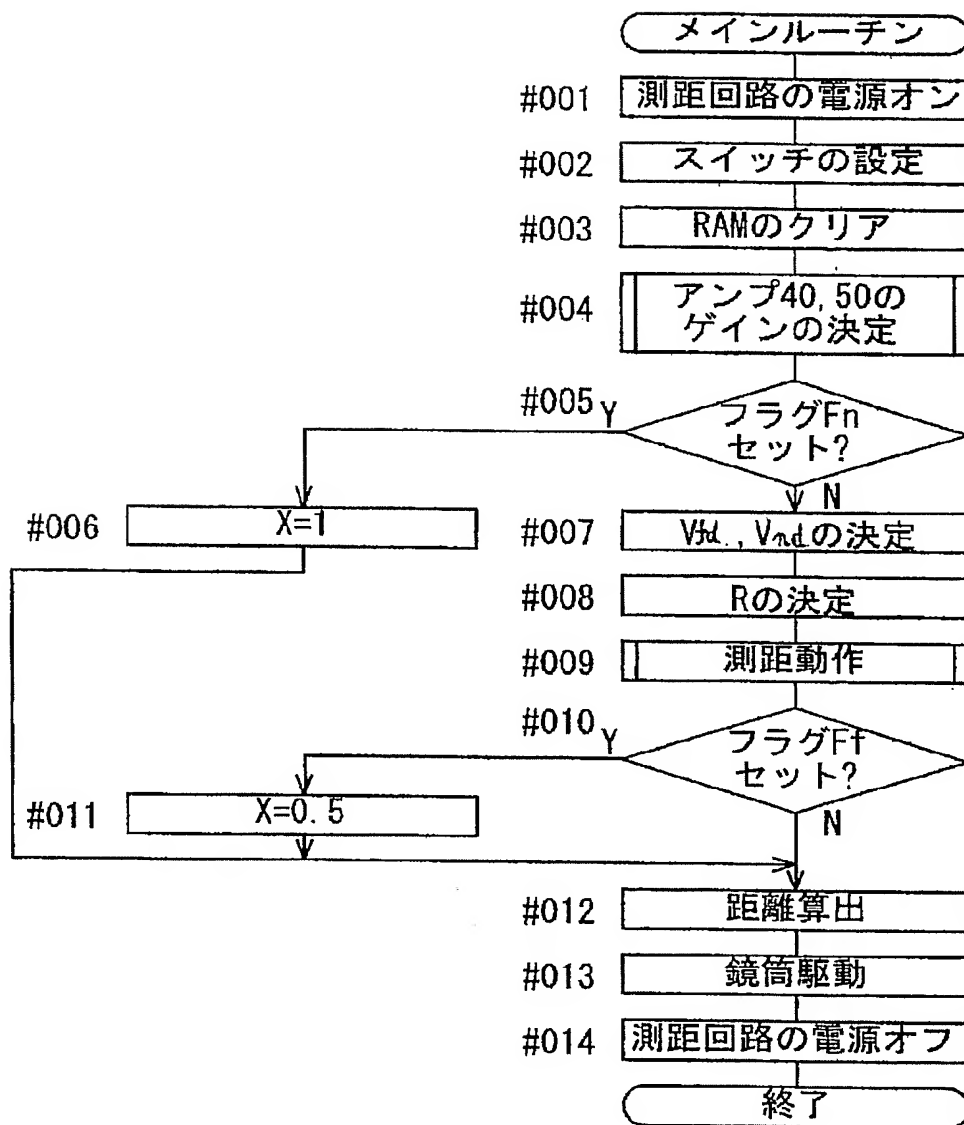
【図 6】



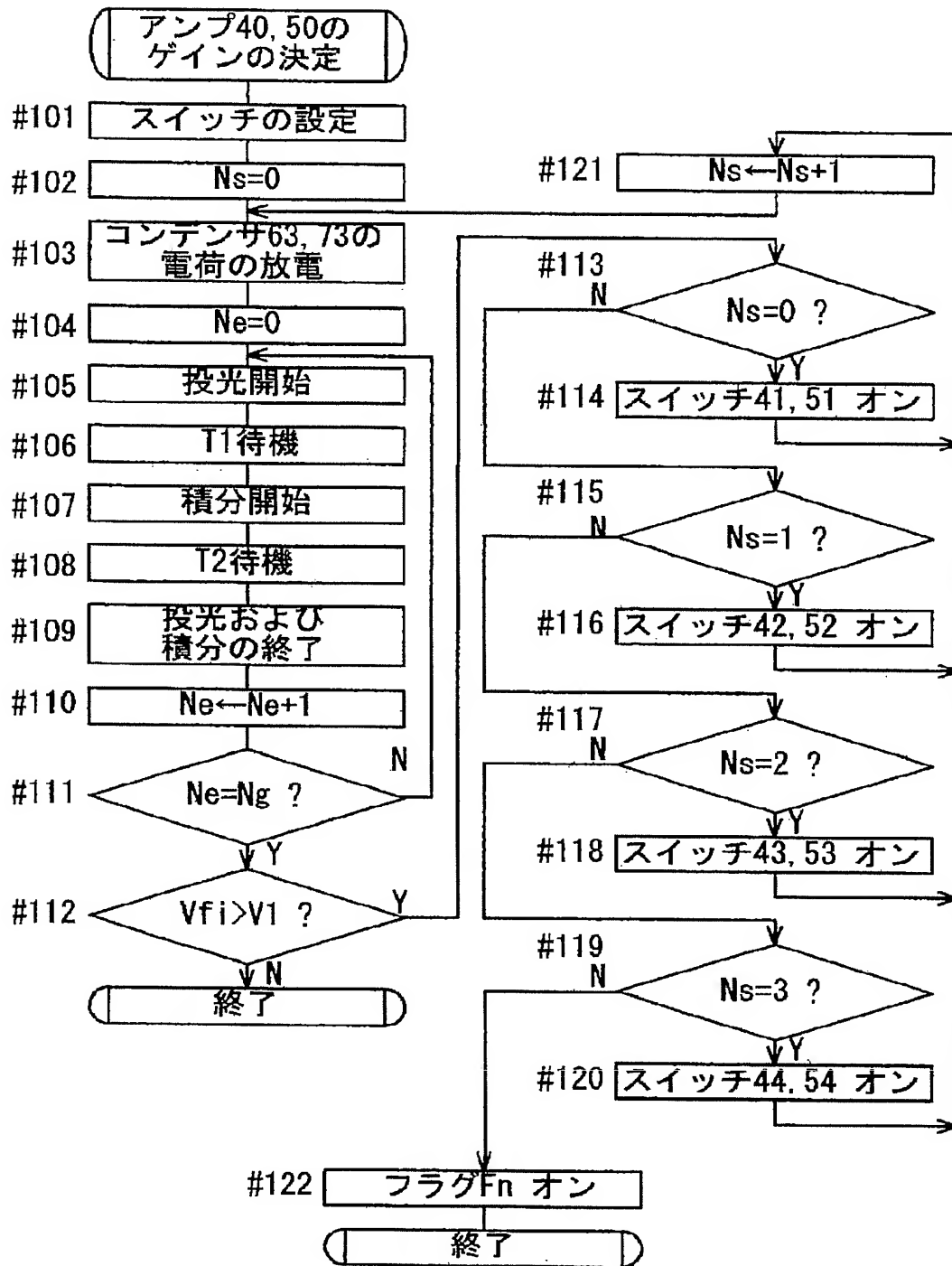
【図 9】



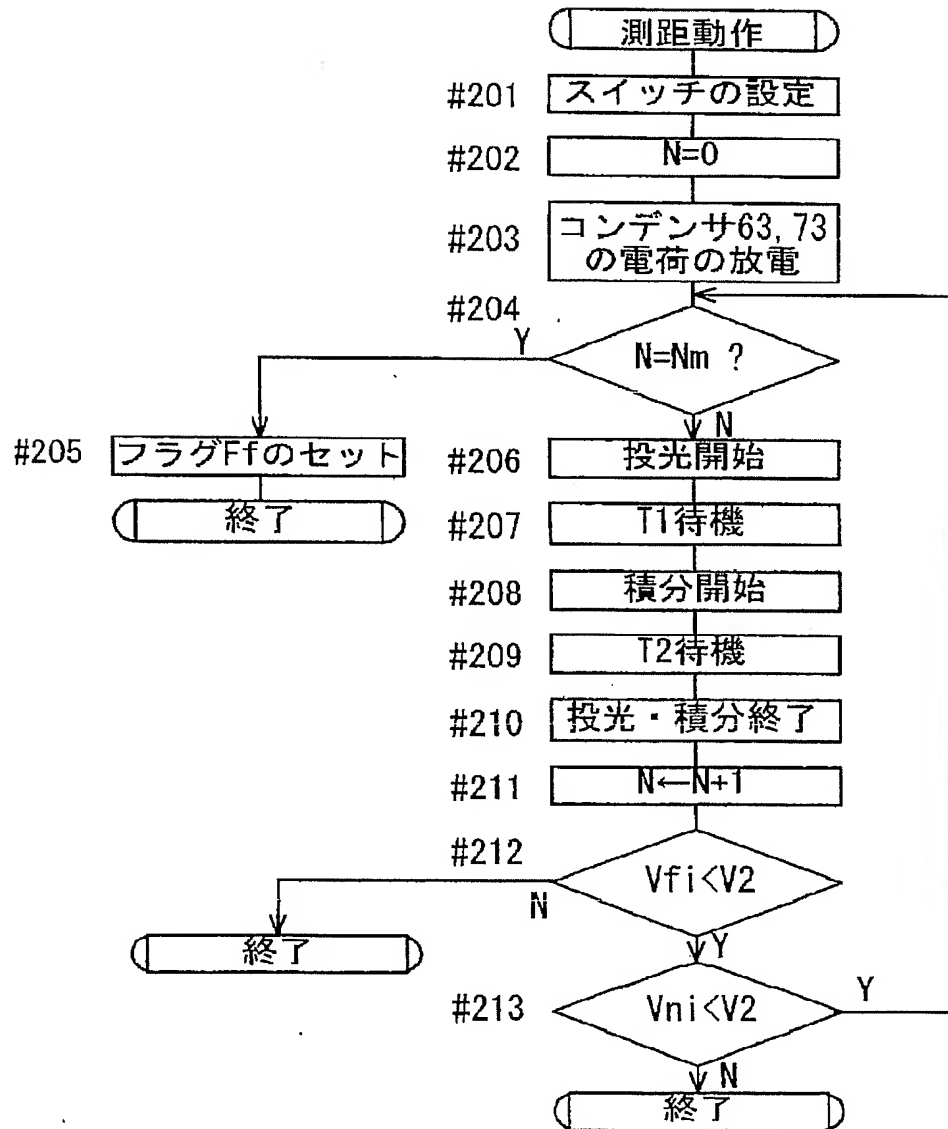
【図 1 0】



【図 11】



【図 1 2】





The diagram illustrates a complex electronic circuit with multiple parallel processing stages. On the left, there are six input channels labeled 1 through 6. Each channel contains a sensor or transducer (1, 2, 3, 4, 5, 6) connected to a specific amplifier or filter stage (10, 20, 30, 40, 50, 60). These stages are interconnected with a central processing block (70) which contains several comparators (71, 72, 73, 74, 75, 76) and logic gates (81, 82). The output of the central block is connected to two final output units (83, 84). The entire system is powered by a voltage source \$V\_s\$.

The diagram illustrates a multi-channel electronic circuit, likely a sensor array or multi-input amplifier. It features three parallel processing channels, each starting from an input switch (101, 102, 103) connected to a common ground. Each channel passes through a series of op-amp stages: a first stage (110-130), a second stage (140-160), and a third stage (170-180). These stages are interconnected via resistors and capacitors, suggesting a complex signal conditioning process. A shared ground plane is indicated by a horizontal bar at the bottom, connecting all components.

(72)発明者 伊藤 顕  
千葉県四街道市鹿渡934-13番地 株式会  
社精工舎千葉事業所内